

(k)

IMAGE MAGNIFYING AND REDUCING DEVICE AND METHOD

Patent Number: JP2000194840
Publication date: 2000-07-14
Inventor(s): KANEDA SADAFUMI
Applicant(s): VICTOR CO OF JAPAN LTD
Requested Patent: JP2000194840
Application Number: JP19980366580 19981224
Priority Number(s):
IPC Classification: G06T3/40; H04N1/393
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide an image magnifying and reducing device capable of reducing a circuit scale.

SOLUTION: An impulse response data generator 1 generates impulse response data for respective pixel data and a buffer memory 3 temporarily preserves the impulse response data. An adder-subtractor 2 adds and subtracts the impulse response data of the same interpolation position and generates final interpolation data at one interpolation position. A frame memory 4 successively writes the final interpolation data for one screen and reads them as enlarged or reduced image signals.

Data supplied from the esp@cenet database - I2

【特許請求の範囲】

【請求項1】画像を拡大もしくは縮小する画像拡大縮小装置において、
画像信号を構成する画素データが入力され、この画素データ毎に、その画素データのレベルに応じた高さを有する立体形状よりなるインパルス応答波形を用いて、補間データとして発生すべき補間位置にインパルス応答データを発生するインパルス応答データ発生器と、
前記インパルス応答データ発生器が発生したインパルス応答データにおける同一の補間位置のインパルス応答データを加算もしくは減算して1つの補間位置における最終的な補間データを生成する加減算器と、
前記加減算器が前記同一の補間位置のインパルス応答データを加算もしくは減算するために、前記インパルス応答データ発生器が発生したインパルス応答データを一時的に保存するバッファメモリと、
前記加減算器によって生成された前記最終的な補間データを1画面分順次書き込むと共に、拡大もしくは縮小された画像信号として読み出すフレームメモリとを備えて構成したことを特徴とする画像拡大縮小装置。
【請求項2】前記インパルス応答データ発生器と前記加減算器とが複数系統となっていることを特徴とする請求項1記載の画像拡大縮小装置。
【請求項3】前記インパルス応答データ発生器と前記加減算器と前記バッファメモリとが複数系統となっていることを特徴とする請求項1記載の画像拡大縮小装置。
【請求項4】前記フレームメモリに書き込まれた1画面分の補間データを次の1画面分の補間データへと書き換えるに際し、前記書き込まれた1画面分の補間データを消去せずにゲインを落とすと共に、前記次の1画面分の補間データも予めゲインを落として生成して前記フレームメモリに書き込むよう構成したことを特徴とする請求項1ないし3に記載の画像拡大縮小装置。
【請求項5】画像を拡大もしくは縮小する画像拡大縮小方法において、
画像信号を構成する画素データ毎に、その画素データのレベルに応じた高さを有する立体形状よりなるインパルス応答波形を用いて、補間データとして発生すべき補間位置にインパルス応答データを発生する第1のステップと、
前記第1のステップで発生したインパルス応答データを一時的に保存する第2のステップと、
前記第1のステップで発生したインパルス応答データにおける同一の補間位置のインパルス応答データを加算もしくは減算して1つの補間位置における最終的な補間データを生成する第3のステップと、
前記第3のステップによって生成された前記最終的な補間データを1画面分順次書き込むと共に、拡大もしくは縮小された画像信号として読み出す第4のステップとを含むことを特徴とする画像拡大縮小方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルビデオ画像を拡大縮小する画像拡大縮小装置及び方法に関する。

【0002】

【従来の技術】テレビジョン受像機やプロジェクタ装置等の画像表示装置においては、画像を拡大もしくは縮小して表示するため、画像拡大縮小装置が用いられている。一般的な画像拡大縮小装置は、フレームメモリの前段に縮小補間フィルタ及びデータ間引き回路を設け、そのフレームメモリの後段に拡大補間フィルタを設けた構成となっている。

【0003】

【発明が解決しようとする課題】従来の画像拡大縮小装置は、回路規模が大きく、低コストで実現することが困難である。特に、画像を垂直方向に拡大するには、複数のラインメモリを用いてビデオ画像を遅延する必要があり、多くのメモリが必要となり、回路規模が大きくなってしまう。

【0004】また、プラズマディスプレイ装置等の非ラスタ型のパネルディスプレイ装置では、ビデオ画像を一旦フレームメモリに書き込んだ後にパネルに入力する構成が必要である。パネルディスプレイ装置に従来の画像拡大縮小装置を搭載すると、画像拡大縮小装置の一部であるフレームメモリと、パネルディスプレイ装置のフレームメモリとの2つの大容量のメモリを持たなければならず、コストが高くなってしまう。

【0005】本発明はこのような問題点に鑑みなされたものであり、回路規模を削減することができ、また、パネルディスプレイ装置内のフレームメモリを用いて画像を拡大縮小することができる画像拡大縮小装置及び方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、上述した従来の技術の課題を解決するため、(A) 画像を拡大もしくは縮小する画像拡大縮小装置において、画像信号を構成する画素データが入力され、この画素データ毎に、その画素データのレベルに応じた高さを有する立体形状よりなるインパルス応答波形を用いて、補間データとして発生すべき補間位置にインパルス応答データを発生するインパルス応答データ発生器(1)と、前記インパルス応答データ発生器が発生したインパルス応答データにおける同一の補間位置のインパルス応答データを加算もしくは減算して1つの補間位置における最終的な補間データを生成する加減算器(2)と、前記加減算器が前記同一の補間位置のインパルス応答データを加算もしくは減算するために、前記インパルス応答データ発生器が発生したインパルス応答データを一時的に保存するバッファメモリ(3)と、前記加減算器によって生成された前記最終的な補間データを1画面分順次書き込むと共に、拡大

もしくは縮小された画像信号として読み出すフレームメモリ(4)とを備えて構成したことを特徴とする画像拡大縮小装置を提供し、(B)画像を拡大もしくは縮小する画像拡大縮小方法において、画像信号を構成する画素データ毎に、その画素データのレベルに応じた高さを有する立体形状よりなるインパルス応答波形を用いて、補間データとして発生すべき補間位置にインパルス応答データを発生する第1のステップと、前記第1のステップで発生したインパルス応答データを一時的に保存する第2のステップと、前記第1のステップで発生したインパルス応答データにおける同一の補間位置のインパルス応答データを加算もしくは減算して1つの補間位置における最終的な補間データを生成する第3のステップと、前記第3のステップによって生成された前記最終的な補間データを1画面分順次書き込むと共に、拡大もしくは縮小された画像信号として読み出す第4のステップとを含むことを特徴とする画像拡大縮小方法を提供する。

【0007】

【発明の実施の形態】以下、本発明の画像拡大縮小装置及び方法について、添付図面を参照して説明する。図1は本発明の画像拡大縮小装置の一実施例を示すブロック図、図2は本発明の画像拡大縮小装置及び方法による拡大動作を説明するための図、図3は本発明の画像拡大縮小装置及び方法による補間データの生成方法を説明するための図、図4は本発明の画像拡大縮小装置及び方法による拡大動作の過程を示す図、図5は本発明の画像拡大縮小装置及び方法による縮小動作を説明するための図、図6及び図7は本発明の画像拡大縮小装置の他の実施例を示すブロック図である。

【0008】図1において、インパルス応答データ発生器1には、拡大もしくは縮小の対象とされているデジタル画像データが入力される。この画像データとしては、R, G, B信号や輝度信号等である。この画像データは、図示していないバッファに一時的に保存され、そのバッファより画素毎に画素データとしてインパルス応答データ発生器1に順次入力される。インパルス応答データ発生器1は、予め定められたインパルス応答波形を用い、画素データが入力される毎に、そのインパルス応答波形に基づいて決まるインパルス応答データを発生する。

【0009】インパルス応答波形とは、入力された画素データを用いてどのような出力データを発生させるかを決めるものである。インパルス応答波形は、画像の拡大率もしくは縮小率に応じ、また、得ようとする画質等に応じたものであり、任意の立体形状よりなる波形である。後に詳述するように、本発明では、1つの画素データに対してインパルス応答波形を用いて発生したインパルス応答データそのものが拡大もしくは縮小の補間データとなるのではなく、複数の画素データに対してインパルス応答波形を用いて発生したインパルス応答データを

加算もしくは減算したものが最終的な補間データとなる。従って、インパルス応答波形は、最終的な拡大もしくは縮小の補間の様相を決めるための補間関数と称することもできる。

【0010】インパルス応答データ発生器1より出力された画素データ毎のインパルス応答データは加減算器2もしくはバッファメモリ3に入力される。バッファメモリ3は、SRAMによって構成される。加減算器2は、同じ補間位置、即ち、補間データとして出力される画素位置が同一のインパルス応答データを加算もしくは減算し、1つの補間位置における最終的な補間データを生成する。

【0011】バッファメモリ3は、加減算器2が同じ補間位置におけるインパルス応答データを加算もしくは減算するために、インパルス応答データ発生器1が発生したインパルス応答データや、加減算器2が生成した最終的な補間データを一時的に保存するためのものである。即ち、バッファメモリ3は、加減算に供するために保存しておいたインパルス応答データを加減算器2に入力する。なお、最終的な補間データを生成するに際しては、インパルス応答データ発生器1が発生したインパルス応答データを加減算器2に直接入力し、加減算器2はこのインパルス応答データと、バッファメモリ3より入力された加減算に供するためのインパルス応答データとを加減算した後、バッファメモリ3に保存するようすればよい。

【0012】なお、本実施例では、加減算器2を用いたが、加算器を用いて同じ補間位置のインパルス応答データを加算するのみの構成としてもよく、減算器を用いて同じ補間位置のインパルス応答データを減算するのみの構成としてもよい。以下の説明では、説明を簡略化するため、加減算器2を用いて加算する場合について示す。本明細書で言う加減算器とは、加算するのみの加算器と減算するのみの減算器との双方を含む。

【0013】インパルス応答データ発生器1が発生したインパルス応答データや、加減算器2によって得られた補間データは、バッファメモリ3に順次入力され、それぞれの補間位置毎のアドレスに保存される。なお、バッファメモリ3は、全ての補間位置における全てのインパルス応答データや補間データを保存するのではなく、ある限られた部分的な補間位置における部分的なインパルス応答データや補間データを保存するものである。

【0014】従って、画素データが順次入力されていくと、バッファメモリ3にインパルス応答データや補間データを保存すべき容量が足りなくなるので、インパルス応答データや補間データは、フレームメモリ4に順次入力され、書き込まれる。加減算器2によるインパルス応答データの加算のため、フレームメモリ4に記憶しておいたインパルス応答データをバッファメモリ3に戻し、バッファメモリ3より加減算器2に入力することもある。

る。なお、バッファメモリ3は、加減算器2による加算のために必要なデータにみを一時的に保存するのみであるので、その容量は小さくてよい。加減算器2によつて、それぞれの補間位置におけるインパルス応答データを加算して最終的な補間データを生成するには、インパルス応答データや補間データの高速な書き込み・読み出しが必要とされる。バッファメモリ3はそのために必要となる。

【0015】以上の動作を繰り返すことによって、フレームメモリ4には、拡大縮小画像の1つの画面を構成する補間データが記憶される。フレームメモリ4としては、通常用いるFIFOメモリではなく、デュアルポートRAMのVRAMを用いる。フレームメモリ4からは、一定レートで、1ライン毎に、補間データが順次読み出され、拡大もしくは縮小された画像データとして出力される。これらのインパルス応答データ発生器1～フレームメモリ4の全ては、制御回路5によって制御される。インパルス応答データ発生器1におけるインパルス応答波形は、制御回路5によって任意に設定可能である。インパルス応答データ発生器1と加減算器2とをCPUによって構成することもできる。

【0016】さらに、図1の動作を図2、図3を用いて詳細に説明する。図2は、画像データを拡大する場合を示している。図2、図3において、白丸は入力の画素データであり、斜線を付した丸は最終的に得ようとする補間データである。インパルス応答データ発生器1にて設定しているインパルス応答波形をFと称すると、インパルス応答波形Fは、一例として、図3に示すように、注目画素P0上に頂点を有し、注目画素P0に隣接した4つの周辺画素Qを結んだ正方形を底面とする四角錐よりなる立体形状である。

【0017】このインパルス応答波形Fの頂点は、注目画素P0のレベルに応じた高さである。従って、四角錐の高さは、それぞれの画素データのレベルによって変化することとなる。ここでは、隣接した4つの周辺画素P1を結んだ正方形を底面としたが、さらに大きな底面としたり、小さな底面としてもよい。注目画素P0の周辺の画素を底面の角としなくてもよい。また、インパルス応答波形Fの立体形状は、四角錐に限定されず、円錐や他の形状であってもよい。インパルス応答波形Fの立体形状は、画像の拡大率もしくは縮小率や得ようとする画質等に応じて適宜に設定すればよい。

【0018】インパルス応答データ発生器1によって発生するインパルス応答データ（補間データ）は、このインパルス応答波形Fによって決定されて出力される。図3に示すように、四角錐の底面内に、補間すべき画素Qが2つ存在しているとする。この2つの補間画素Qのレベルは、インパルス応答波形Fによって決定される。即ち、補間画素Qの直上には、四角錐の4つの斜面があり、補間画素Qのレベルは、この斜面の高さによって決

まる。このようにして1つの画素データ（注目画素P0）に対して1または複数の補間データ（補間画素Q）が決まる。

【0019】1つの画素データに対していくつの補間データが出力されるかは、インパルス応答波形Fの底面の形状や大きさによって決まることになる。なお、四角錐の底面に部分的に入っている画素を補間すべき画素Qに含めてもよい。どの範囲の画素を補間すべき画素Qとするかは、設計事項である。1つの画素データに対して発生した補間データは最終的な補間データではないことは前述の通りである。

【0020】インパルス応答データ発生器1は、画素データが入力される毎に、以上説明した動作を繰り返す。図2に示すように、ある時点で実線で示すインパルス応答波形Fによって注目画素P0に対して補間データを発生したら、破線で示すように、インパルス応答波形Fが順次、次の注目画素P0へと移っていく。注目画素P0の座標は、画面の左から右へ、上から下へと順次移動していく。これに伴って補間データを順次発生していく。なお、区別を容易にするために、破線で示すインパルス応答波形Fの注目画素P0と補間画素Qを括弧書きにて示している。

【0021】図2より分かるように、実線で示すインパルス応答波形Fにおける注目画素P0によって生成した2つの補間画素Qの内、図中右側の補間画素Qは、次の注目画素P0に対して設定した破線で示すインパルス応答波形Fの底面内に含まれている。即ち、実線で示すインパルス応答波形Fで生成した2つの補間画素Qにおける右側の補間画素Qの補間データは、実線で示すインパルス応答波形Fで生成した補間データと破線で示すインパルス応答波形Fで生成した補間データとを加算することによって最終的に得られることになる。

【0022】インパルス応答データ発生器1が発生した同一の補間位置におけるインパルス応答データは、前述のように、加減算器2によって加算されて最終的な補間データとされ、バッファメモリ3に一時的に保存される。その後、バッファメモリ3に保存されたそれぞれの補間位置における最終的な補間データがフレームメモリ4に書き込まれる。以上の説明より分かるように、本発明においては、従来のFIRフィルタによる畳み込み演算処理ではなく、インパルス応答データの蓄積処理という、従来とは大きく異なる構成によって、画像の拡大縮小を実現している。

【0023】図4は、本発明の画像拡大縮小装置及び方法による画像の拡大過程を示している。図4において、(A)は入力データと出力データとの関係及びその入力データに対してインパルス応答波形Fを発生させた状態を示しており、(B)～(F)は(A)に示す動作によって入力データが拡大されていく過程を示している。図4(A)において、白丸は入力の画素データであり、斜

線を付した丸は最終的に得ようとする補間データである。白丸で示す入力データより分かるように、ここでは“+”なる图形が拡大の対象とされている画像である。図4(A)では、出力されるべき補間データを便宜上斜線を付して示したが、図4(B)～(F)に示すように、実際には、補間データは、白または黒となる。

【0024】まず、“+”を構成する図4(A)中の上側の画素が注目画素P0であるとき、インパルス応答波形Fによって、図4(B)に示すように補間画素が生成される。次に、“+”を構成する図4(A)中の左側の画素が注目画素P0であるとき、インパルス応答波形Fによって、図4(C)に示すように補間画素が生成される。そして、“+”を構成する図4(A)中の中央の画素が注目画素P0であるとき、インパルス応答波形Fによって、図4(D)に示すように補間画素が生成される。

【0025】さらに、“+”を構成する図4(A)中の右側の画素が注目画素P0であるとき、インパルス応答波形Fによって、図4(E)に示すように補間画素が生成される。最後に、“+”を構成する図4(A)中の下側の画素が注目画素P0であるとき、インパルス応答波形Fによって、図4(F)に示すように補間画素が生成される。このようにして、入力データにおける“+”なる图形は、図4(F)のように拡大される。なお、ここでは、図4(B)～(F)に示す補間画素を全て同一の黒にて示したが、実際には濃淡がある。図4(F)における“+”を構成する中央の画素は濃度100%の黒、その周囲の4つの画素は濃度80%、外側の4つの画素は濃度50%である。

【0026】図2、図4は、画像の拡大動作について示したが、本発明の画像拡大縮小装置及び方法は、画像の縮小も当然行うことができる。図5は、画像の縮小動作を示している。図5において、白丸は入力の画素データであり、斜線を付した丸は最終的に得ようとする縮小後の補間データである。縮小の動作も拡大の動作と全く同様である。

【0027】図1の構成が基本的な構成であるが、図1の構成を種々変形することができる。例えば、2画面や親子画面等、複数の画面を表示する場合には、図6のように、インパルス応答データ発生器1と加減算器2とバッファメモリ3を2系統もしくはそれ以上の複数系統とする。2画面であれば2系統でよく、画面数に応じた系統数とすればよい。

【0028】図6においては、インパルス応答データ発生器1と加減算器2とバッファメモリ3よりなる第1の系統と、インパルス応答データ発生器1と加減算器2とバッファメモリ3よりなる第2の系統とを設けており、これらの第1、第2の系統それぞれにデジタル画像データが入力される。バッファメモリ3, 3より出力された補間データは、フレームメモリ

4に入力され、2つの画面が合成されて出力される。

【0029】入力データが多相並列の信号であれば、図7に示すように、インパルス応答データ発生器1と加減算器2を2系統もしくはそれ以上の複数系統とする。2相であれば2系統でよく、相の数に応じた系統数とすればよい。入力データを多相化すると、データレートを下げることができるので、入力データのデータレートが高い場合には、インパルス応答データ発生器1と加減算器2の多相化は有効である。勿論、図6の構成によって、入力データが多相並列の信号である場合に対応させてもよい。

【0030】図7においては、インパルス応答データ発生器1と加減算器2よりなる第1の系統と、インパルス応答データ発生器1と加減算器2よりなる第2の系統とを設けており、これらの第1、第2の系統それぞれに2相となったそれぞれのデジタル画像データが入力される。加減算器21, 22とバッファメモリ3との間にデータの書き込み及び読み出しが、加減算器21と加減算器22とで競合しないよう、制御回路5によって制御される。バッファメモリ3より出力された補間データは、フレームメモリ4に入力され、単相の補間データとして出力される。場合によっては、インパルス応答データ発生器1～フレームメモリ4までの全てを多相化してもよい。

【0031】図1、図6、図7に構成では、フレームメモリ4に書き込まれた1画面分の補間データを、次の1画面分の補間データを書き込む際に消去する。しかしながら、このとき、書き込まれた1画面分の補間データを完全に消去せず、ゲインを落として前のデータを残し、次の1画面分の補間データもそれに応じてゲインを落としてフレームメモリ4に書き込むようにすると、補間データがフレーム方向に時間平均化され、S/Nを改善することができる。フレームメモリ4に書き込まれた1画面分の補間データを数%残すようにすれば、1画面分の補間データを予め数%ゲインを落として生成すればよい。

【0032】ゲインを落とす手段は種々考えられ、インパルス応答データ発生器1の前段でゲイン調整器によってゲインを落としてもよいし、インパルス応答データ発生器1におけるインパルス応答波形Fの頂点の高さを数%低くすればよい。インパルス応答波形Fの頂点の高さ調整することは制御回路5によって容易に行うことができる。従って、インパルス応答波形Fの頂点の高さ調整するの方法は、ゲイン調整器が不要であり、好ましい実施形態である。

【0033】ところで、本発明の構成では、結果的に、2次元の補間フィルタ演算を行っていることになる。従って、1次元の補間フィルタ演算を行うものと比較して柔軟な特性のフィルタ演算処理を行うことができる。しかも、従来と比較して必要とするメモリの容量を格段に

少なくすることができ、回路規模を大幅に縮小することができる。しかも、フレームメモリ4が回路の最終段に位置しているので、パネルディスプレイ装置内のフレームメモリと共用することが可能である。

【0034】本発明は、本実施例に限定されることなく、本発明の要旨を逸脱しない範囲において種々変更可能である。なお、画像拡大縮小回路には、拡大のみをする回路、縮小のみをする回路も含まれる。また、水平・垂直方向双方に拡大する場合や、水平方向に拡大し、垂直方向に縮小する場合もあり、これらはいずれも本発明に含まれる。

【0035】

【発明の効果】以上詳細に説明したように、本発明の画像拡大縮小装置及び方法は、画像信号を構成する画素データ毎に、その画素データのレベルに応じた高さを有する立体形状よりなるインパルス応答波形を用いて、補間データとして発生すべき補間位置にインパルス応答データを発生し、このインパルス応答データを一時的に保存し、インパルス応答データにおける同一の補間位置のインパルス応答データを加算もしくは減算して1つの補間位置における最終的な補間データを生成し、この最終的な補間データを1画面分順次書き込むと共に、拡大もしくは縮小された画像信号として読み出すように構成した

ので、回路規模（メモリ）を大幅に削減することができる。また、パネルディスプレイ装置内のフレームメモリを用いて画像を拡大縮小することができるので、画像拡大縮小装置を備えたパネルディスプレイ装置を安価に提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】本発明による拡大動作を説明するための図である。

【図3】本発明による補間データの生成方法を説明するための図である。

【図4】本発明による拡大動作の過程を示す図である。

【図5】本発明による縮小動作を説明するための図である。

【図6】本発明の他の実施例を示すブロック図である。

【図7】本発明の他の実施例を示すブロック図である。

【符号の説明】

1, 11, 12 インパルス応答データ発生器

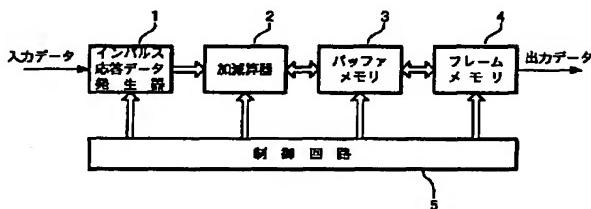
2, 21, 22 加減算器

3, 31, 32 バッファメモリ

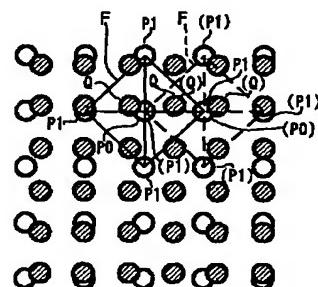
4 フレームメモリ

5 制御回路

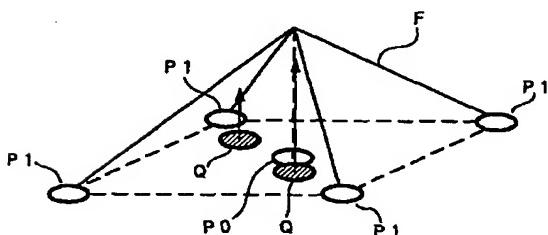
【図1】



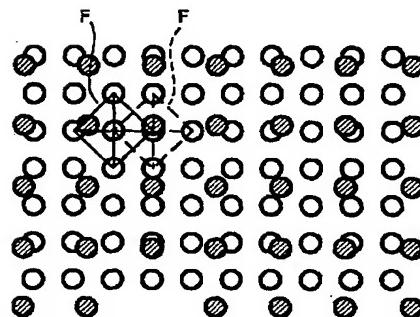
【図2】



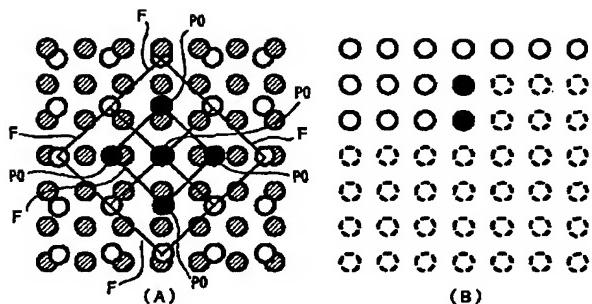
【図3】



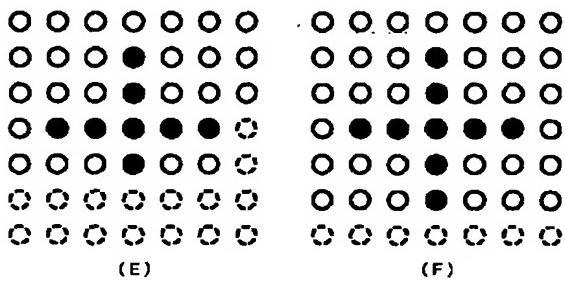
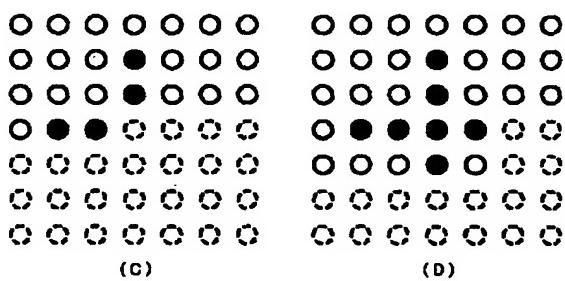
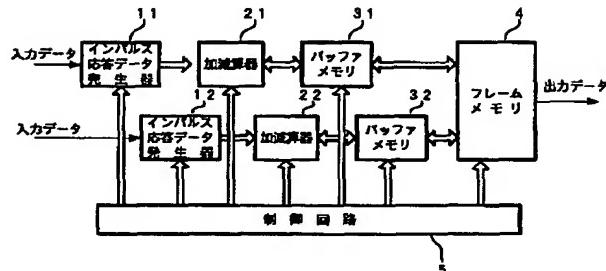
【図4】



【図4】



【図6】



【図7】

